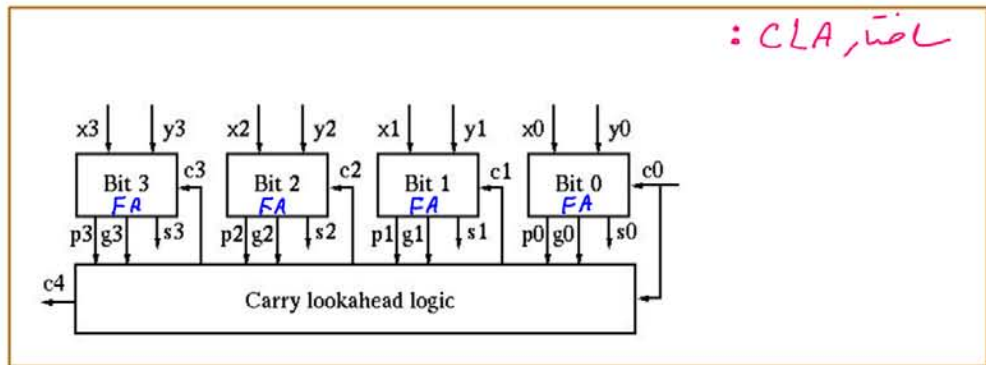
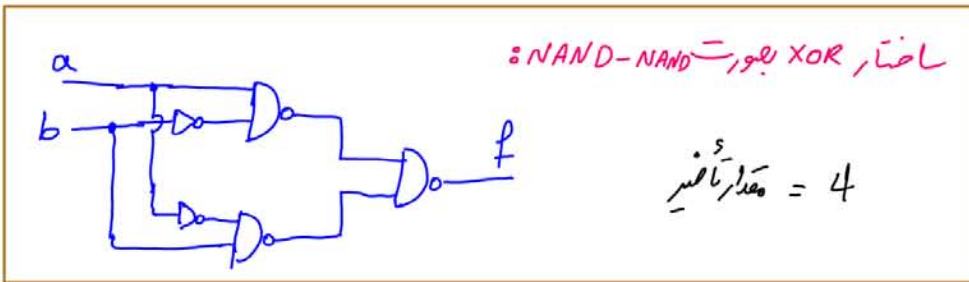


۷۰- فرض کنید تأخیر گیت‌های پایه برابر تعداد ورودی‌های آن‌ها و تأخیر گیت NOT برابر صفر باشد. اگر گیت XOR به صورت دوسطحی NAND-NAND پیاده‌سازی شود، تأخیر یک جمع‌کننده ۴ بیتی Carry Lookahead Adder (CLA) چند نانو ثانیه است؟

- ۱۸ (۱)
- ۱۲ (۲)
- ۱۴ (۳)
- ۱۶ (۴)



بررسی تأخیر قسمت اول CLA:

$$\begin{cases} P_i = x_i \oplus y_i \\ g_i = x_i y_i \end{cases} \rightarrow 4 \text{ واحد تأخیر}$$

قسمت دوم CLA:

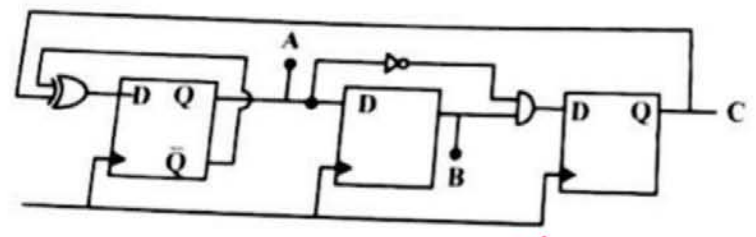
$$C_{i+1} = g_i + P_i C_i \rightarrow 10 \text{ واحد تأخیر (با فرض وجود } C_0 \text{)}$$

قسمت سوم CLA:

$$S_i = P_i \oplus C_i \rightarrow 4 \text{ واحد تأخیر}$$

تأخیر کل = 4 + 10 + 4 = 18 ns

۷۱- در مدار زیر، اگر در ابتدا، محتوای هر سه فلیپ‌فلاپ برابر  $ABC = 000$  باشد، به ترتیب تغییرات مدار چگونه خواهد بود؟



- ①  $000 \rightarrow 100 \rightarrow 010 \rightarrow 101 \rightarrow 110 \rightarrow 010 \dots$
- ②  $000 \rightarrow 101 \rightarrow 110 \rightarrow 010 \rightarrow 100 \rightarrow 110 \dots$
- ③  $000 \rightarrow 100 \rightarrow 010 \rightarrow 110 \rightarrow 100 \rightarrow 100 \dots$
- ④  $000 \rightarrow 100 \rightarrow 110 \rightarrow 010 \rightarrow 101 \rightarrow 010 \dots$

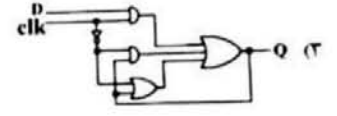
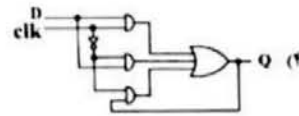
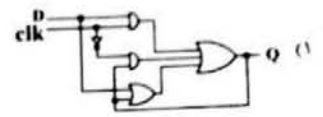
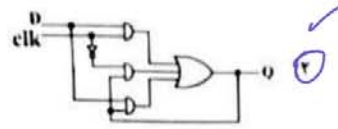
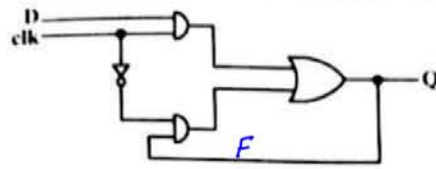
برای فلیپ‌فلاپ D:  $Q^* = D$

$A^* = \bar{A} \oplus C$  ;  $B^* = A$  ;  $C^* = \bar{A} B$

$ABC = 000 \rightarrow 100 \rightarrow 010 \rightarrow 101 \rightarrow \dots$

زنجیره ①

۷۲- لچ (فلپ فلاپ) D شکل زیر دارای هزاراد است. چگونه این هزاراد را رفع کنیم؟



$$Q = D \cdot clk + F \cdot \bar{clk}$$

D \ clk	00	01	11	10
0			1	
1	1		1	1

دسته ۱ F.D باید اضافه شود

← دسته ۲ صحیح است.

این دسته برای رفع حلقه باید اضافه شود.

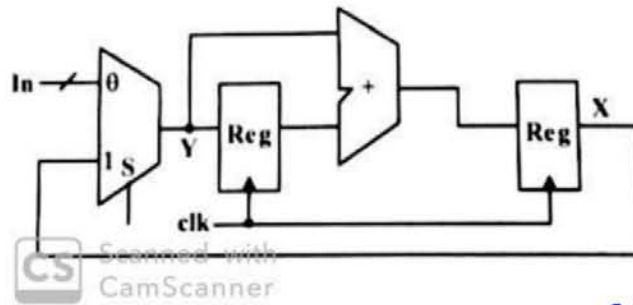
۷۳- فرض کنید در مدار زیر، تأخیر مالتی پلکسر برابر ۵ نانوثانیه، تأخیر جمع کننده برابر ۱۳ نانوثانیه و پارامترهای زمانی رجیسترها به صورت  $T_{clk \rightarrow q} = 1ns$  و  $T_{setup} = 1ns$  باشد. ماکزیمم فرکانس کاری مدار، چند مگاهرتز است؟

۱۴۰ (۱)

۱۵۰ (۲)

۵۲٫۵ (۳)

۶۶٫۴ (۴)



خروجی مالتی پلکسر (یاها درودی Reg سمت چپ) ،  $5+1$  نانوثانیه طول می کشد تا آماده شود. (۵ نانوثانیه برای مالتی پلکسر نیاز و ۱ نانوثانیه برای Reg) ، این مقدار با تأخیر جمع کننده (۱۳ نانوثانیه) جمع می شود تا درودی Reg سمت راست آماده شود ، یک نانوثانیه هم طول می کشد تا Reg سمت راست خروجی اش تأیید شود. بنابراین داریم:

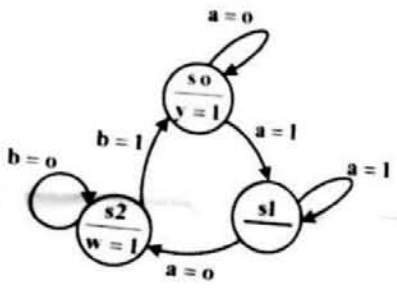
$$T = 5 + 1 + 13 + 1 = 20 \text{ ns} \rightarrow f = \frac{1}{T} = \frac{1}{20 \times 10^{-9}} = 50 \text{ MHz}$$

فرکانس ۵۰ مگاهرتز است.

۷۴

برای توصیف کنترلر (cu) نشان داده شده به verilog، قسمت نقطه چین در کد، با کدام مورد باید پر شود؟

```
Module cu (input clk , rst, a, b, output reg y, w);
reg [1:0] P, N;
.....
case (P)
0: begin N = a? 1: 0; y = 1; end
1: N = a? 1: 2;
2: begin N = b? 0: 2; w = 1; end
Default: N = 0;
end case
end
always @(posedge clk, posedge rst)
if (rst) P = 2' b 0; else P <= N;
end module
```

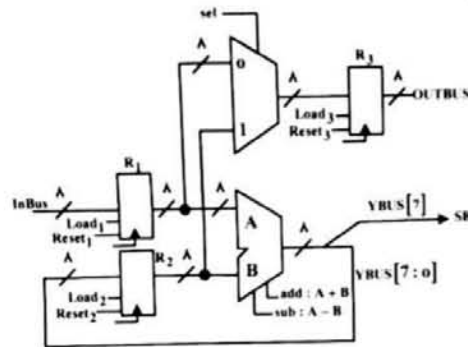


```
always @(a, b) begin
y = 0; w = 0;
end
always @(P) begin
N = 0;
end
always @(a, b, P) begin
{y, w} = 2'b0;
end
always @(clk, rst) begin
N = 0;
end
```

در قسمت لیست حساسیت یعنی  $always@()$  باید متغیرهای نوشته شود که در آن تغییر کنند یا از این قسمت

عکس العمل باشد. a و b ورودی و P حالت فعلی ماست پس در لیست حساسیت با a و b و P باشد ← ترتیبی 3 صحیح است.

در سه کلاک پشتسرهم داده‌های A، B و C بر روی InBus قرار می‌گیرد (1:A, 2:B, 3:C). در این مدار ALU دو عمل نشان داده را انجام می‌دهد. برای این‌که پس از چهار کلاک  $\text{Min}(C, (A+B))$  بر روی OUTBUS قرار گیرد، سیگنال‌های کنترلی کدام است؟



- CLK1: Load 1, Reset 2;
- CLK2: Load 1, add, Load 2;
- CLK3: Load 1, add, Load 2;
- CLK4: Load 3; if(SB)sel = 0; sub;

- CLK1: Load 1; add;
- CLK2: Load 1, Load 3;
- CLK3: if(SB) sel = 0;
- CLK4: Load 3; sub;

- CLK1: Load 1;
- CLK2: Load 2; add;
- CLK3: if(SB) sel = 1;
- CLK4: Load 3; sub;

- CLK1: Load 1; Reset 1; Load 2
- CLK2: Load 2; sub
- CLK3: Load 1; add
- CLK4: Load 3; if (SB)sel = 1;

پایه‌های کنترلی ۱:

پالس	سیگنال‌ها کنترلی	عملیات انجام شده
1	Load 1, Reset 2;	$R_1 \leftarrow A$ و $R_2 \leftarrow 0$
2	Load 1, add, Load 2	$R_1 \leftarrow B$ , $R_2 \leftarrow A+0$
3	Load 1, add, Load 2	$R_1 \leftarrow C$ , $R_2 \leftarrow A+B$
4	Load 3, if(SB)sel=0, sub	$\begin{cases} \text{if } (R_1 \geq R_2) & R_3 \leftarrow R_2 \\ \text{else} & R_3 \leftarrow R_1 \end{cases}$ <p>بین <math>A+B</math> و <math>C</math> آنکه کوچکتر باشد انتخاب می‌شود  <math>\text{min}[C, (A+B)]</math></p>

کنترلی (۱) صحیح می‌باشد.