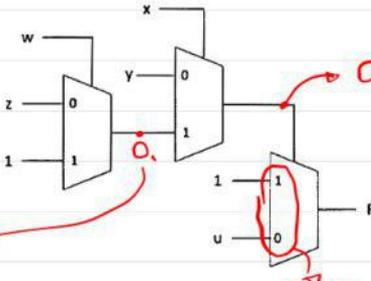


EEAV

۷۰- مقدار تابع F در مدار روبه‌رو، کدام است؟



$$O_1 = \begin{cases} y & x=0 \\ z+w & x=1 \end{cases} \quad \begin{matrix} x=0 \\ x=1 \end{matrix} \quad \begin{matrix} \bar{x}y + xz + xw \\ z+w \end{matrix}$$

روشن اول

$$O_1 = \begin{cases} z & u=0 \\ 1 & u=1 \end{cases} \quad \begin{matrix} u=0 \\ u=1 \end{matrix} \quad \begin{matrix} z\bar{u} + u = z + u \\ \text{بیش جنب} \end{matrix}$$

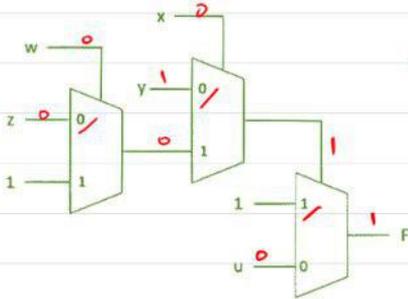
دقت دستور

- (۱) $wz + xy + u$
- (۲) $wz + xy + u\bar{x}w + u\bar{w}y + u\bar{x}\bar{z} + u\bar{y}\bar{z}$
- (۳) $u + \bar{x}y + xw + xz$
- (۴) $wux + uxz + u\bar{x}y$

روشن حل در کتاب مدار منطقی دکتر اجلانی تدریس شده است.

$\Rightarrow F = \begin{cases} u & O_1=0 \\ 1 & O_1=1 \end{cases}$ $O_1=0 = u\bar{O}_1 + O_1 = u + O_1 = u + \bar{x}y + xz + xw$

روشن دوم



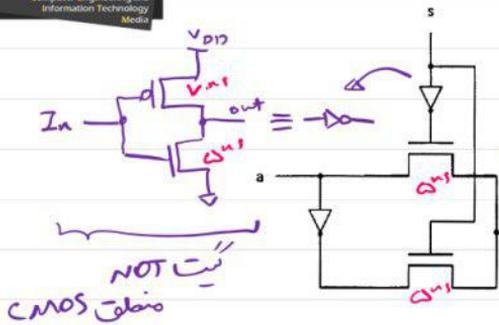
					گزینه‌ها				
u	w	x	y	z	شکل	۱	۲	۳	۴
0	0	0	1	0	1	0	0	1	0
						X	X	✓	X

EE9V

CMOS

۷۱- در مدار روبه‌رو، گیت NOT با ترانزیستورهای pmos و nmos ساخته شده است. با فرض اینکه تأخیر ترانزیستورهای pmos و nmos به ترتیب برابر ۷ و ۵ نانوثانیه است، عملکرد این مدار چیست و بدترین تأخیر آن چند نانوثانیه است؟

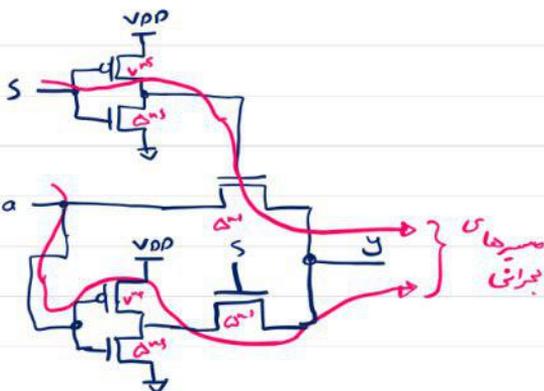
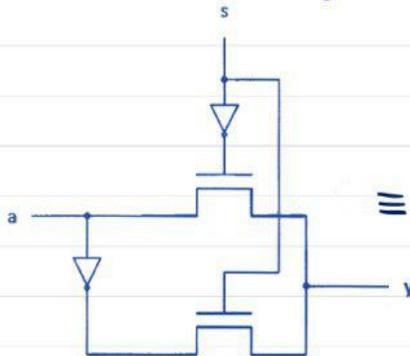
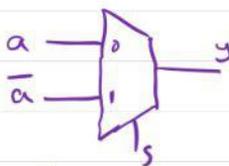
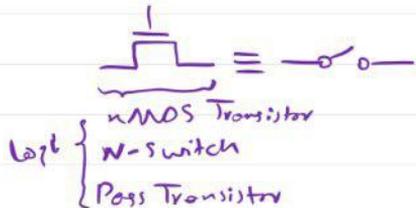
- ۱۲ . XOR (۱) ✓
- ۱۸ . XOR (۲)
- ۱۸ . NAND (۳)
- ۱۲ . NAND (۴)



مدار منطق PTL
می‌باشد
Pass Transistor Logic

ایرادات
- ولتاژ مثبت (مقدار یک منطقی) را خوب عبور می‌دهد.
- می‌تواند مصرف توان ایستا داشته باشد.

عملکرد مدار: $y = \begin{cases} a & s=0 \\ \bar{a} & s=1 \end{cases}$
 $= a\bar{s} + \bar{a}s = a \oplus s$

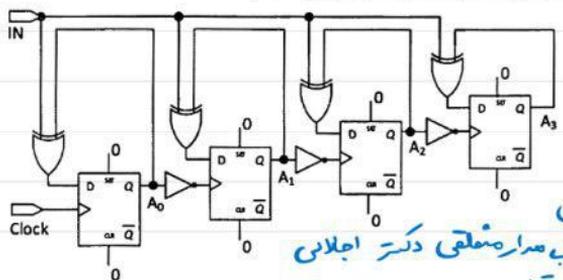


تأخیر مدار = $7^{ns} + 5^{ns} = 12^{ns}$ ✓

۴۴۹۷

۷۲- رجیستر (تبات) چهاربیتی A (A₃A₂A₁A₀) در شکل زیر را در نظر بگیرید. A₀ کم‌ارزش‌ترین بیت و A₃ پرارزش‌ترین بیت. با فرض مقدار اولیه صفر برای تمامی فلیپ‌فلاپ‌ها (A₃A₂A₁A₀ = 0000)، تحت چه شرایطی و پس از چند پالس ساعت (Clock) مقدار A برابر با ۱۰ خواهد شد؟

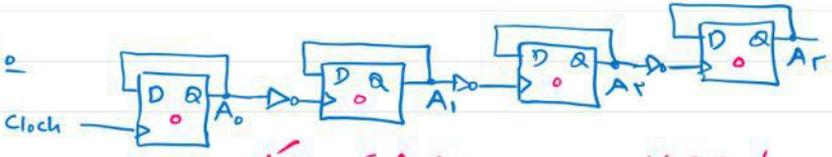
$A = 10$
 \downarrow
 $A_3 A_2 A_1 A_0 = 1010$



مشابه چنین مداراتی در محض شما در کتاب مدار منطقی دکتر اجلائی تحلیل شده است.

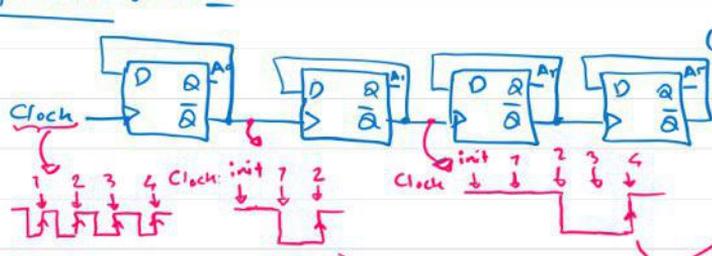
- (۱) تحت هیچ شرایطی مقدار A برابر ۱۰ نخواهد شد.
- (۲) ۹ پالس ساعت، اگر IN = ۱ باشد.
- (۳) ۱۰ پالس ساعت، اگر IN = ۱ باشد.
- (۴) ۱۱ پالس ساعت، اگر IN = ۰ باشد.

نکته اول
 IN = ۰ : حالت اول



چون از حالت اولیه ۰۰۰۰ شروع می‌کنیم و در هر کلاک خروجی هر FF D=0 می‌شود هیچ‌گاه مقدار A مقداری غیر از ۰ نخواهد شد.

حالت دوم: IN = ۱



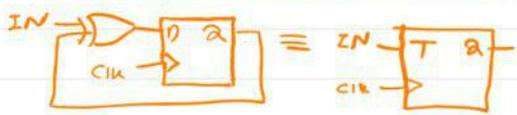
clock	A ₃	A ₂	A ₁	A ₀
حالت اولیه (init)	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0

A₀ هر کلاک یکبار تغییر می‌کند
 A₁ هر دو کلاک یکبار تغییر می‌کند
 A₂ هر چهار کلاک یکبار تغییر می‌کند
 A₃ هر هشت کلاک یکبار تغییر می‌کند

وقتی IN = ۱ باشد،

۱۰ کلاک ملول می‌شود تا A = ۱۰ شود.

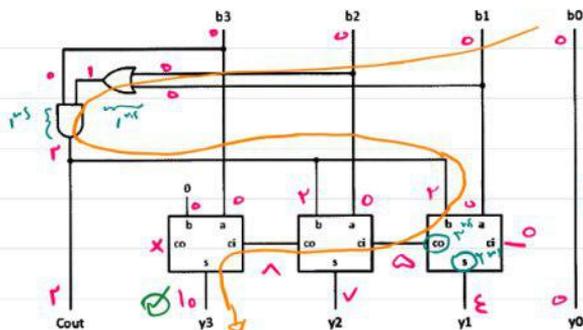
نکته دوم



در یک T-FF، اگر ورودی برابر یک باشد، خروجی Q فرکانس clock را نصف می‌کند.

EEAV

۷۳- مدار زیر، تبدیل کننده یک عدد دودویی ۴ بیتی به معادل BCD آن است. اگر تأخیر گیت‌ها برابر ۱ نانوثانیه، تأخیر تولید بیت‌های حاصل جمع و نقلی در FA به ترتیب برابر ۲ و ۳ نانوثانیه باشد، تأخیر این مدار چند نانوثانیه



از ورودی‌ها شروع کرده و تأخیر را تا بیای می‌نویسیم. Propagate می‌نویسیم.

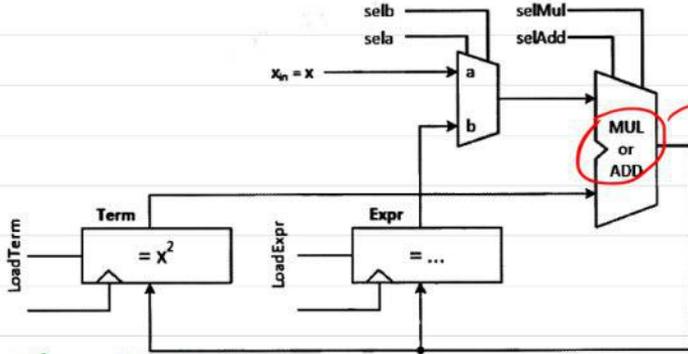
- است؟
- ۱۱ (۱)
 - ۸ (۲)
 - ۹ (۳)
 - ۱۰ (۴) ✓

مسیر شماری مدار

توجه: محاسبه تأخیر در محاسبات نند و است بسته به طور کلی در درس شده و هم چینی در کتاب دیگر اجزای نیز کاملاً آموزش داده شده است.

۴۹۷

۷۴- در زمان t مقدار موجود در رجیستر **term** برابر با x^2 و مقدار روی ورودی x می باشد. برای اینکه مقدار x^4 با محتوای رجیستر **Expr** جمع شود، در سیکل های بعدی کلاک کدام سینگال های کنترل و به چه ترتیبی باید فعال شوند؟



فقط توانایی ضرب و جمع ورودی ها را دارد.

معمولاً در سوالات مبتنی بر ALU رشته برق رسم بزرگ است که سیگنال های کنترلی که باید فعال شوند، لیست می شوند و بقیه سیگنال ها که نام آنها برنده نشده است، برابر صفر هستند.

- t+1: selMul, sela, LoadTerm (۲)
- t+2: selMul, sela, LoadTerm
- t+3: selAdd, selb, LoadExpr

- t+1: selMul, selb, LoadExpr (۱)
- t+2: selAdd, sela, LoadExpr
- t+3: selMul, sela, LoadTerm X

در بیت $t+3$ x^4 جمع شود، پس مقدار x^4 باید در **Expr** ذخیره شود، یعنی در کلاک آخر **Load Expr** حتماً باید فعال باشد.

- t+1: selMul, sela, LoadTerm (۴)
- t+2: selAdd, selb, LoadExpr
- t+3: selMul, selb, LoadTerm X

- t+1: selAdd, selb, LoadTerm (۳)
- t+2: selAdd, selb, LoadTerm
- t+3: selMul, sela, LoadExpr

در بیان باید مقدار x^4 با محتوای **Expr** جمع شود نه ضرب. برای بتوان رسانش باید کل ضرب انجام شود به جمع.

کده کنترلی CW	sela	selb	selAdd	selMul	load Expr	load Term	Operation
t+1	1	0	0	1	0	1	Term ← Term × x^2
t+2	1	0	0	1	0	1	Term ← Term × x^2
t+3	0	1	1	0	1	0	Expr ← Expr + Term x^4

بررسی گزینه (۲)

۷۵- کدام مدار، سطح گیت رفتار کد Verilog زیر را، به درستی نشان می دهد؟

```
module exam (c, s, r, x, y, q);
input c, s, r, x, y;
output [1:0] q;
reg [1:0] q;
```

```
always @(posedge c, negedge r)
begin
```

```
if (!r)
```

```
q = 2'b00;
```

```
else if (s)
```

```
q = 2'b11;
```

```
else
```

```
begin
```

```
q[0] = x & y;
```

```
q[1] = x | y;
```

```
end
```

```
end
```

```
end module
```

برای اولویت
reset = ۰ اولویت دارد
Active-low و آسترون اری
set = ۱ اولویت دارد
Active-high و آسترون با ۱
AND
OR

